

Universidad Nacional de San Luis
Facultad de Ciencias Físico Matemáticas y Naturales
Ingeniería Electrónica con orientación en Sistemas Digitales
Técnico Universitario en Microprocesadores
Profesorado en Tecnología Electrónica

LABORATORIO DE INTERFACES

PRÁCTICO Nº 7

Adquisición de Datos A través de la PC

Índice:

1. Objetivos.
2. Material de Referencia
3. Listado de Materiales.
4. Listado de Instrumental.
5. Desarrollo de la Práctica.
6. Actividad Práctica.
7. Anexo I. - Señales del Conector DB-37.
8. Anexo II. - Registros de la ADQ12-B.
9. Anexo III. - Señales del BUS ISA de 8 bits.



TRABAJO PRÁCTICO N° 7

Adquisición de Datos a través de la PC

1. Objetivos

- § Muestrear señales analógicas con una placa de Adquisición para PC.
- § Estudiar las posibilidades de la placa de adquisición ADQ12-B.

2. Material de Referencia

- § Apuntes de la Cátedra.
- § Manual de la Placa ADQ12-B de MicroAxial.

3. Listado de Materiales

- 1 Placa de Adquisición AD12-B
- 1 Bornera para ADQ12-B

4. Listado de Instrumental

- 1 Tester digital
- 1 Fuente de alimentación.
- 1 Entrenador LAB – MC.

5. Desarrollo de la Práctica

5.1 Introducción

En este laboratorio emplearemos una placa de adquisición de datos para PC, la placa ADQ12-B de la firma Micro axial. La misma se puede conectar al bus ISA de la PC.

5.1.1 Características de la Placa ADQ12-B.

Convertor AD 12 bits

Canales: 16 Desbalanceados, 8 Balanceados.

Tiempo de conversión: 10uSeg. Muestras por Segundo: 66000.

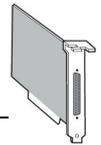
Ganancia de software programable: 4 rangos.

Entradas: bipolares ± 5 , ± 2 , ± 1 , ± 0.5 Voltios. Unipolares $+5$, $+2$, $+1$, $+0.5$ Voltios.

Entradas-Salidas digitales

Puerto de Salida : 8 bits programable bit a bit.

Puerto de Entrada : 5 bits.

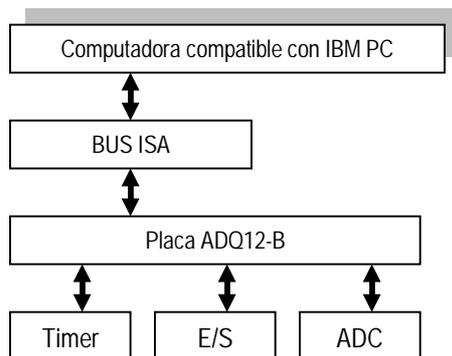


Pacer y Contador (8253)

Contador de 16 bits, reloj interno o externo.
 Pacer programable de 32 bits. Marcación entre 16µS a 2 horas 23 minutos.
 Opera sobre una interrupción enmascarable.

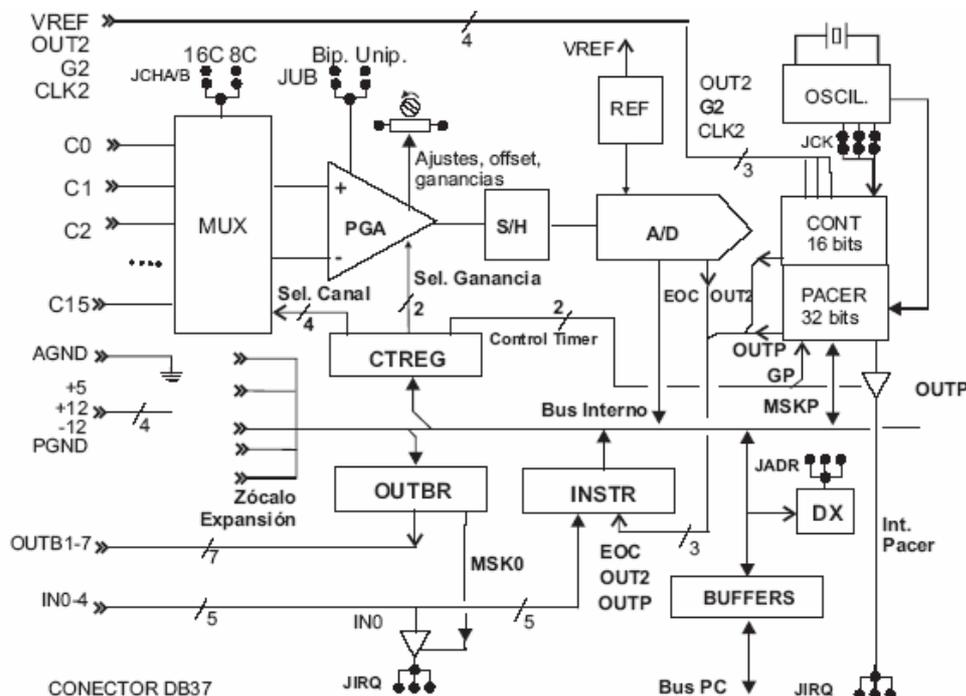
Interrupciones Enmascarables (Hard y soft)

Dos entradas de interrupciones enmascarables
 Nivel de IRQ seleccionable (7, 5, 4, 3, 2/9).



5.1.2 Placa ADQ12-B

La ADQ12 es un sistema modular de adquisición y control. La placa cuenta con dos secciones, una analógica y otra digital, como puede apreciarse en la figura siguiente, y sus funciones se describen a continuación.





Sección analógica.

- § MUX, multiplexor analógico, 16/8 canales.
- § PGA, amplificador de ganancia programable por software.
- § S/H, etapa de muestreo y retención.
- § A/D, conversor Analógico.
- § VREF, tensión de referencia.

Sección digital.

- § OUTBR, port de salida de 8 bits, programable bit a bit.
- § INSTR, port de entrada de 5 bits y registro de status.
- § CTREG, registro de control para las funciones programables.
- § PACER, temporizador de precisión, 32 bits. Capacidad de interrupción.
- § CONT, contador - timer programable de 16 bits.
- § INO, OUTP, interrupciones enmascarables.
- § DX, decodificador de direcciones.
- § OSCIL, base de tiempo con frecuencias seleccionables.

SECCIÓN ANALÓGICA

La sección analógica se compone de cuatro etapas: un multiplexor (MUX), un amplificador de ganancia programable (PGA), una etapa de muestreo y retención (S/H), y el conversor A/D propiamente dicho.

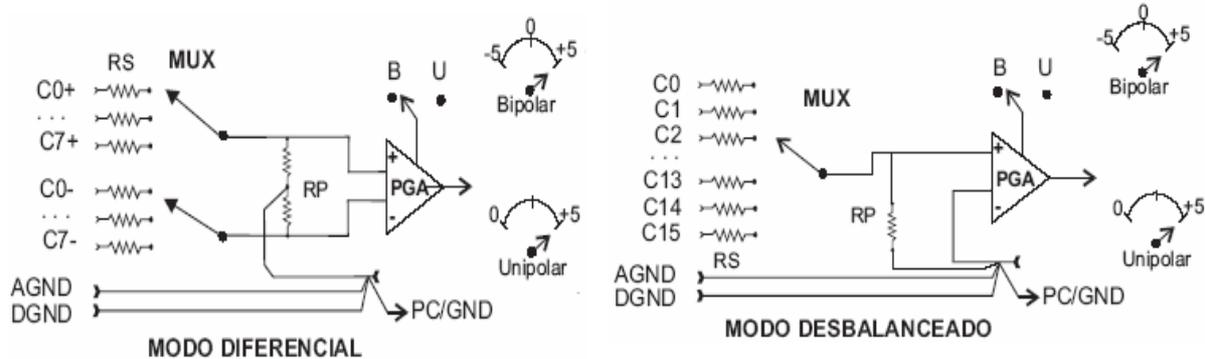
Multiplexor.

En modo balanceado (diferencial) el multiplexor permite seleccionar uno entre ocho canales. Las entradas en el presente caso se tomarán entre los pares de terminales (C0+) (C0-) hasta (C7+) (C7-). Si se opera en el modo desbalanceado, los canales serán 16 y se tomarán entre C0 - AGND a C15 - AGND. El modo se selecciona mediante el juego de puentes JCHA - JCHB. La elección del canal se realiza por soft, vía el registro de control, CTREG. En el modo balanceado mediante los 3 bits de menor peso (b2-b0). En el modo desbalanceado mediante los 4 bits de menor peso (b3-b0). Las señales de entrada pueden ser bipolares ó unipolares, en el punto 2.1.5 se detallan los rangos para cada caso.

Nota. El modo balanceado (diferencial) resulta insustituible por el rechazo que presenta al ruido u otras señales indeseables en modo común. Para obtener el máximo beneficio de esta configuración, la fuente de la señal a evaluar debe también ser balanceada. Este modo también es útil cuando la tensión a medir se obtiene sobre transductores que operan en configuración puente. El modo desbalanceado (single-end) resulta práctico cuando las señales a medir comparten un retorno común. En este modo ADQ12-B ofrece la alternativa de 16 canales de entrada.

Amplificador de ganancia programable, PGA

Es un amplificador de instrumentación con cuatro valores de ganancia seleccionables por programa. La elección se realiza sobre los bits 4 y 5 del registro de control, CTREG. Esta etapa cuenta con seis potenciómetros, P1 a P6. Los cuatro primeros para un ajuste fino de la ganancia (P1 a P4), los dos últimos para la puesta a cero de la deriva de tensión (offset). La calibración de los mismos se efectúa en planta.



Sample & Hold, S/H.

Se dispone esta etapa a efectos de garantizar un valor estable de tensión durante el tiempo que dura la conversión.

Conversor analógico - digital, A/D.

Utiliza un conversor AD de 12 bits modelo ADC912A ó similar. La obtención del valor convertido se deberá realizar en dos lecturas sucesivas, primero el byte alto **ADHIG**, y luego el bajo **ADLOW**. En el byte alto son significativos los 4 bits de menor peso, los restantes tendrán el valor cero.

Una señal de fin de conversión (**EOC**) en estado alto, indica que se cuenta con un nuevo valor digitalizado. El estado de la señal **EOC** puede obtenerse del bit 5 del registro **STINR**. El inicio de la conversión se realizará por lectura del byte bajo, **ADLOW**. Son posibles dos procedimientos para la adquisición, estos se describen en el próximo punto.

El tiempo de conversión de la unidad conversora AD es de 10,0 μ Seg. Este tiempo es el que media entre el inicio de la conversión y el instante en que **EOC** indica que el dato se halla disponible. Para determinar la velocidad de adquisición, es decir si el número de muestras por segundo sobre un determinado canal, intervienen además los siguientes factores:

1. Lectura y conformación del dato (luego que **EOC** = 1).
2. Almacenamiento del dato en memoria.
3. Transformación del dato en valores equivalentes de tensión.
4. Presentación numérica y/ó gráfica en tiempo real.

Estos factores pueden aparecer parcial ó totalmente en la resolución de un problema, y corresponden al post-procesamiento del dato. La placa **ADQ12-B** ofrece dos alternativas de adquisición, que se describen en los puntos próximos. Es también necesario considerar que en la velocidad de adquisición interviene la velocidad del procesador, a tal efecto se cuenta con el programa en assembly **ADQTEST.EXE**, que permite una evaluación del conjunto placa **ADQ12-B** y computador.

Procedimiento para lecturas sucesivas a máxima velocidad.

Este procedimiento se basa en la posibilidad de paralelismo con que fue diseñada la placa **ADQ12-B**, los pasos a seguir son:



a. Lectura del byte bajo, ADLOW.

La lectura conduce a los siguientes eventos:

- Fuerza la señal EOC a nivel bajo
- Retiene el valor analógico (S/H)
- Dispara el conversor A/D

Este primer valor leído no deberá ser tenido en cuenta.

b. Espera hasta que EOC tome el valor alto.

c. Lectura del byte alto, ADHIG.

d. Lectura del byte bajo, ADLOW. Inicia una nueva conversión.

e. Se procesa la información leída.

f. Vuelta al punto (b).

Puede observarse en el punto (d) que se da inicio a una nueva conversión, en tanto simultáneamente se procesa información leída. Este paralelismo permite el aumento de la velocidad de adquisición. Como lo indica el título el procedimiento es útil y válido en lecturas sucesivas.

Procedimiento para lecturas esporádicas.

Este procedimiento deberá aplicarse cuando las lecturas son esporádicas (tiempo entre lectura mucho mayor que tiempo de conversión). Una nueva lectura deberá iniciarse desde el primer punto, esto garantiza que el valor adquirido corresponde al instante próximo anterior.

a. Inicio de la conversión por lectura de ADLOW.

b. Espera hasta que EOC tome el valor alto.

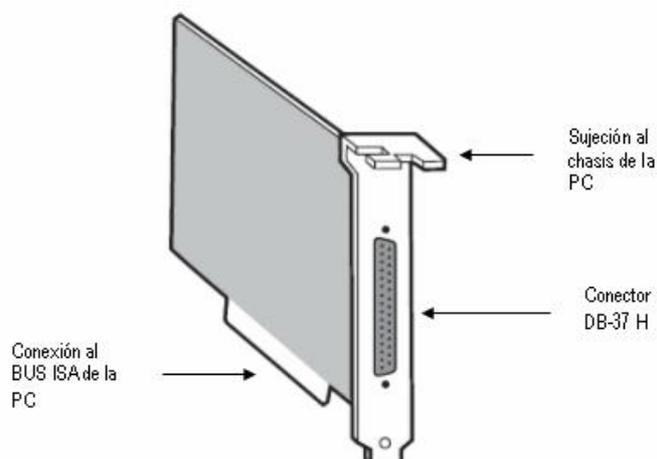
c. Lectura del byte alto, ADHIG.

d. Lectura del byte bajo, ADLOW.

e. Se procesa la información leída.

5.2 Instalación de la Placa

ADQ12-B se instala en un slot ISA de 8 bits de una computadora PC/XT/AT/386/486 o compatible.





5.3 Configuración de la Placa

La configuración de la placa para una aplicación determinada se realiza a través de determinados Jumpers.

JADR : Selección de Dirección base.

JUB : Selección Unipolar-Bipolar.

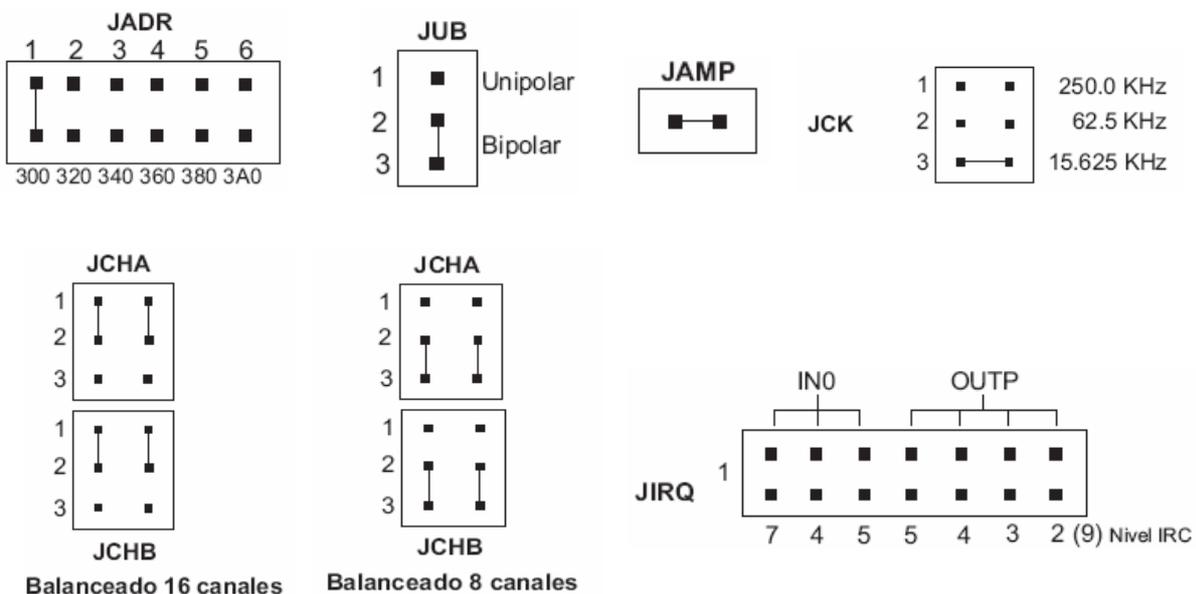
JAMP : Solo si se usan módulos de ampliación. Siempre conectado.

JCHA, JCHB: Selección balanceado-desbalanceado.

JIRQ: Permite acceder a uno de los niveles de interrupción de la PC.

JCK : Selección de una de las 3 señales interna de reloj.

PRESETS, la placa dispone de presets para proveer ajuste fino de algunos parámetros. Estos se calibran convenientemente en planta.



6. Actividad Práctica.

6.1 Realizaremos ahora la configuración, instalación y verificación de funcionamiento de la placa ADQ12-B. Para ello debe seguir cuidadosamente los siguientes pasos y ante la menor duda consulte con el docente a cargo.

6.1.1 Con la ayuda del manual, ajuste los jumpers de la placa ADQ12-B según lo siguiente:

- JADDR : 300H
- JAMP : cerrado.
- JIRQ: -
- JUB : Unipolar.
- JCHA, JCHB: Desbalanceado.
- JCK : -

6.1.2 Instale la placa en un conector ISA de la PC destinada a la práctica. Observe que la conexión se haya realizado correctamente. Asegure la placa con un tornillo en la bahía del gabinete.



6.1.3 Ejecute el programa demo **VOLT2U.EXE**. Para seleccionar la dirección base 300H se debe ingresar 768.

6.1.4 Ahora conecte la salida del módulo **SALIDA ANALÓGICA** del LAB-MC a la entrada del canal 0 de la placa usando la bornera de la placa ADQ12. Este proveerá una tensión de entrada de 0...5V. Recuerde conectar además la tierra a **AGND** (tierra analógica).



6.1.5 Verifique todos los canales de la placa. Para cambiar de canal de entrada utilice los cursores [←] [→]. Para cambiar la escala utilice los cursores [↶] [↷]. El fondo de escala se debe ajustar a 5V.

6.1.6 Ejecute el programa demo **PLOT12.EXE** y modifique el valor de la Ven analógica. Seleccione el modo de video VGA y configure la misma dirección base que en el punto anterior. En esta aplicación se realiza la grafica de la señal de entrada y se pueden variar los tiempos de muestreo.

6.1.7 Ejecute el programa demo **ADQTEST.EXE**. Este programa realiza una prueba de la máxima velocidad de adquisición de la placa.

¿Cual es la máxima velocidad de adquisición que establece este programa?

.....
.....

¿Qué significa este valor hallado, que me indica?

.....
.....



6.2 Lectura de canales Analógicos.

6.2.1 Realizar una aplicación en Visual Basic que permita leer un canal analógico de la placa y mostrar este valor por pantalla. Por el canal 0 se ingresará una señal proveniente de un sensor de temperatura. La lectura se debe realizar cada 500mS.

6.3 Muestreo a intervalos regulares de tiempo.

Ahora realizaremos la lectura de señales analógicas a intervalos regulares de tiempo. Esto lo realizaremos utilizando el TIMER 8253 de la placa.

6.3.1 Usando el Timer 8253 de la placa ADQ12 realizar una aplicación en Visual Basic para leer el canal analógico 0 cada 500uS y mostrar este valor por pantalla.

Consulte el manual de la placa ADQ12 para realizar la programación del timer, así como los ejemplos presentes en el mismo.

6.4 Lectura y escritura de datos digitales.

6.4.1 Realice una aplicación en Visual Basic que permita escribir datos por el puerto digital de salida. Conecte la bornera de la ADQ12 a los monitores lógicos del entrenador LAB-MC y verifique la escritura.

6.4.2 Realice una aplicación en Visual Basic para que permita leer datos digitales por el puerto digital de entrada de la ADQ12. Conecte la bornera de la ADQ12 a las llaves lógicas del LAB-MC y observa en pantalla el estado de las llaves.

Para aprobar la práctica debe presentar los programas de los puntos 6.2.1, 6.3.1, 6.4.1 y 6.4.2 funcionando ante el docente a cargo de la práctica y enviarlos por mail a la cuenta de la materia.



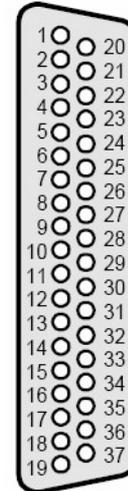
7. Anexo I. Señales del Conector DB-37.

Pin	Función	Pin	Función
1	C7+	20	C6+
2	C5+	21	C4+
3	C3+	22	C2+
4	C1+	23	C0+
5	C7-	24	C6-
6	C5-	25	C4-
7	C3-	26	C2-
8	C1-	27	C0-
9	AGND	28	-12V
10	+12V	29	IN4
11	IN3	30	IN1
12	IN2	31	IN0
13	G2	32	OUT2
14	CLK2	33	OUTB7
15	OUTB6	34	OUTB4
16	OUTB5	35	OUTB3
17	OUTB2	36	OUTB1
18	+VREF	37	PDGND
19	+5V		

Tabla 1. Entradas balanceadas

Pin	Función	Pin	Función
1	C15	20	C14
2	C13	21	C12
3	C11	22	C10
4	C9	23	C8
5	C7	24	C6
6	C5	25	C4
7	C3	26	C2
8	C1	27	C0
9	AGND	28	-12V
10	+12V	29	IN4
11	IN3	30	IN1
12	IN2	31	IN0
13	G2	32	OUT2
14	CLK2	33	OUTB7
15	OUTB6	34	OUTB4
16	OUTB5	35	OUTB3
17	OUTB2	36	OUTB1
18	+VREF	37	PDGND
19	+5V		

Tabla 2. Entradas desbalanceadas



8. Anexo II. Direcciones de los registros.

Unidad		Puente sobre JADR						Comentarios
Escritur	Lectura	1	2	3	4	5	6	
CTREG	STINR	300	320	340	360	380	3A0	Utilizadas por ADQ12-B
OUTBR	---	304	324	344	364	384	3A4	
---	ADLOW	308	328	348	368	388	3A8	
---	ADHIG	309	329	349	369	389	3A9	
CONT0	CONT0	30C	32C	34C	36C	38C	3AC	
CONT1	CONT1	30D	32D	34D	36D	38D	3AD	
CONT2	CONT2	30E	32E	34E	36E	38E	3AE	
---	COWOR	30F	32F	34F	36F	38F	3AF	
DX0	DX0	310	330	350	370	390	3B0	Módulos de expansión
DX1	DX1	314	334	354	374	394	3B4	



9. Anexo III. Señales presentes en el BUS ISA de 8 bits.

BUS ISA de 8 bits

En la figura de a derecha se puede observar el BUS ISA de 8 bits presente en la PC.

La placa de adquisición y control ADQ12-B utiliza gran parte de estas señales para poder operar.

Dentro de las señales que usa la placa ADQ12-B, están obviamente las señales del bus de datos (D0...D7), que permiten el intercambio de datos entre el procesador y la placa.

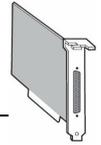
El bus de direcciones (A0...A19), que permite direccionar el registro o periférico a acceder.

Del bus de control tenemos las señales de lectura y escritura en E/S, IOR e IOW. Para validar la dirección usa la señal AEN (Address Enable) y ALE (Address Latch Enable).

La placa utiliza la alimentación del bus de la PC para generar todas las tensiones de trabajo utilizando los 5 y 12V, además de GND.

Las líneas de interrupción que puede utilizar la placa (si se configurar a través de un jumper) son: 3, 4, 5, y 2/9.

SIGNAL NAME	PIN NUMBER	SIGNAL NAME
GND	B1	A1
+RESET DRV		-I/O CH CK
+5V		+D7
+IRQ2		+D6
-5V		+D5
+DRQ2		+D4
-12V		+D3
RESERVED		+D2
+12V		+D1
GND	B10	A10
-MEMW		-I/O CH RDY
-MEMR		+AEN
-IOW		+A19
-IOR		+A18
-DACK3		+A17
+DRQ3		+A16
-DACK1		+A15
+DRQ1		+A14
-DACK0		+A13
CLOCK	B20	A20
+IRQ7		+A12
+IRQ6		+A11
+IRQ5		+A10
+IRQ4		+A9
+IRQ3		+A8
-DACK2		+A7
+T/C		+A6
+ALE		+A5
+5V		+A4
+OSC		+A3
GND	B31	A31
		+A2
		+A1
		+A0



```
// Programa ejemplo para la lectura de una tensión de entrada de 0..5V
// Se utiliza el CANAL 1 de la placa. (pin 27 del DB-37)

#include <stdio.h>
#include <conio.h>
#include <dos.h>

unsigned int   OUTBR, DIRBAS, STINR, CTREG, ADHIG, ADLOW, VD;
unsigned char  A,B,C;
float         VD,VA;

void main (void){
DIRBAS = 0x300;          STINR  = DIRBAS + 0;
CTREG   = DIRBAS + 0; ADHIG   = DIRBAS + 9;
ADLOW   = DIRBAS + 8; OUTBR   = DIRBAS + 4;

// Selecciona canal 0 - 5V FE
outportb(CTREG,0x00);

// Inicia la conversión
C = inportb (ADLOW);

// Espere el fin de conversión (EOC)
do{
    C = inportb(STINR);           // Lee STINR
    C = C&0x20;                  // Extrae EOC
}while (C!=0x00);

// Lectura del dato convertido
    A = inportb(ADHIG);
    B = inportb(ADLOW);
    VD = (A*256)+B;

// Tensión entrada expresada en Voltios
    VA = (float)5/4096*VD;
    printf ("\n %x Código : ",VD);
    printf ("\n %1.2f Volts : ",VA);
    getch() ;
}
```