

Universidad Nacional de San Luis

Arquitectura de Computadoras

Trabajo Práctico N° 1: Repaso de VHDL.

Desarrollo

El trabajo práctico cuenta de 4 ejercicios obligatorios y 2 opcionales. Los ejercicios obligatorios deberán ser presentados con sus respectivos proyectos de Libero IDE, y demostrar su funcionamiento.

Ejercicios

1) Describir en VHDL un Full Adder (Sumador Completo), utilizando descripciones concurrentes, secuenciales y estructural (utilizando las primitivas del dispositivo). Generar un proyecto de Libero IDE para cada diseño. Generar una forma de onda para simular el comportamiento del full adder.

2) Describir en VHDL un multiplexor de 4 a 1 de 8 bits, con una entrada de habilitación de un bit que cuando este en 0 active la salida y cuando este en 1 ponga la salida en alta impedancia. Simular.

3) Describir un latch de 16 bits, que registre en el flanco ascendente del reloj, y que tenga reset asíncrono. Simular.

4) Describir un contador ascendente de 4 bits, con reset asíncrono y carga síncrona, cuya salida sea decodificada para manejar un display de 7 segmentos.

Opcionales

3b) Modifique el diseño 3) para que el reset sea síncrono, y que además posea una salida negada. Simular.

4b) Modifique el diseño 4) para que posea una entrada que seleccione si la cuenta es ascendente o descendente, y que además cuente de 0 a 9.